

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06267907 A**

(43) Date of publication of application: **22.09.94**

(51) Int. Cl

H01L 21/302

(21) Application number: **05049268**

(71) Applicant: **SONY CORP**

(22) Date of filing: **10.03.93**

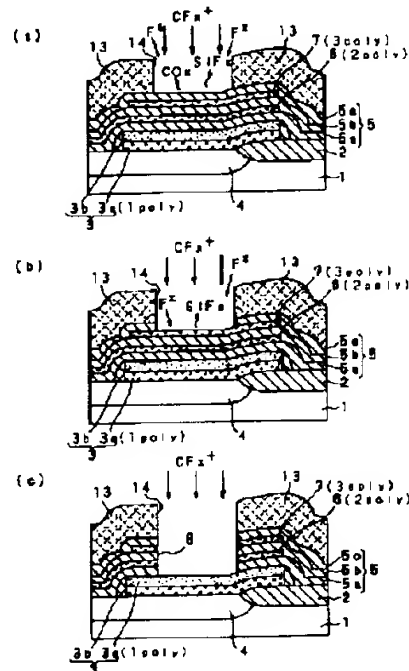
(72) Inventor: **KADOMURA SHINGO**

(54) DRY ETCHING

(57) Abstract:

PURPOSE: To perform a dry etching for opening a connecting hole for sidewall contact Structure with a high-speed performance, a high anisotropy and a high selectivity.

CONSTITUTION: A laminated film formed by laminating in order a first layer polysilicide film 3, a first layer SiO_2 layer 5a, a second layer polysilicon layer 6, a second layer SiO_2 layer 5b, a third layer polysilicon layer 7 and a third layer SiO_2 layer 5c is subjected to just etching using the mixed gas of $\text{c-C}_4\text{F}_8$ gas and S_2F_2 gas. Even if a polysilicon layer 2 and the layer 7 are exposed in the middle of the etching, the etching is not stopped in the middle because F^* is captured from the S_2F_2 gas and as the surface protection of a resist pattern 13 and the sidewall protection of a connecting hole 8 are performed by S, the selectivity and anisotropy of the etching also are not reduced. In an overetching of the laminated film, the mixed gas of $\text{c-C}_4\text{F}_8$ gas and CH_2F_2 gas is used, the amount of production of the F^* is decreased and deposition of a carbon polymer is promoted, whereby the high selectivity of the etching to the film 3 is achieved.



BEST AVAILABLE COPY

01: Entry 5 of 6

File: DWPI

Sep 22, 1994

DERWENT-ACC-NO: 1994-345007

DERWENT-WEEK: 199443

COPYRIGHT 2002 DERWENT INFORMATION LTD

TITLE: Dry-etching method for forming connection hole in side-wall contact structure
- includes etching silicon@ cascade screen layer interposed between silicon compound
layers to maintain high selection ratio of silicon grounding layer NoAbstract

PRIORITY-DATA: 1993JP-0049268 (March 10, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 06267907 A	September 22, 1994		008	H01L021/302

INT-CL (IPC): H01L 21/302

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-267907

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.⁵

H 0 1 L 21/302

識別記号

庁内整理番号

F 9277-4M

J 9277-4M

F I

技術表示箇所

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21)出願番号 特願平5-49268

(22)出願日 平成5年(1993)3月10日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 門村 新吾

東京都品川区北品川6丁目7番35号 ソニー株式会社内

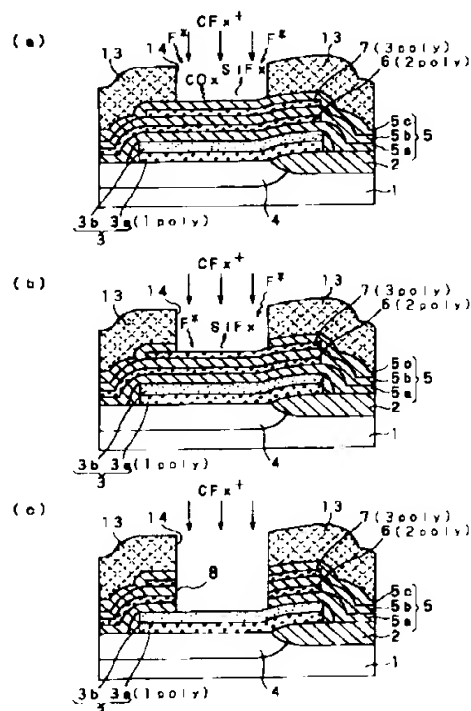
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 ドライエッチング方法

(57)【要約】

【目的】 側壁コンタクト構造用の接続孔を開孔するためのドライエッチングを高速性、高異方性、高選択性をもって行う。

【構成】 1層目ポリサイド膜3、1層目SiO₂層5a、2層目ポリシリコン層6、2層目SiO₂層5b、3層目ポリシリコン層7、3層目SiO₂層5cが順次積層された積層膜を、c-C₄F₈/S₂F₂混合ガスを用いてジャストエッチングする。途中でポリシリコン層2、7が露出しても、S₂F₂からF*が補われるのでエッチングが途中で停止せず、またSによるレジスト・パターン13の表面保護および接続孔8の側壁保護が行われるので選択性や異方性も低下しない。オーバーエッチングではc-C₄F₈/CH₂F₂混合ガスを用い、F*生成量を減じ炭素系ポリマーの堆積を促進することで1層目ポリサイド膜3に対する高選択性を達成する。



【特許請求の範囲】

【請求項1】 シリコン化合物層の膜厚方向の中途部にこのシリコン化合物層により相互に離間された n 層（ただし、 n は自然数を表す。）のシリコン系材料層が介在されてなる積層膜を、その下層側の下地シリコン系材料層に対して選択性を確保しながらエッチングするドライエッチング方法において、

S_2F_2 、 SF_2 、 SF_4 、 S_2F_{10} から選ばれる少なくとも1種類のフッ化イオウとフルオロカーボン系化合物とを含むエッチング・ガスを用い、被エッチング領域の少なくとも一部にイオウを堆積させながら、前記積層膜を実質的に前記下地シリコン系材料層が露出する直前までエッチングするジャストエッチング工程と、エッチング反応系におけるフッ素系化学種の生成比を前記ジャストエッチング工程におけるよりも相対的に減じた条件下で前記積層膜の残余部をエッチングするオーバーエッチング工程とを有することを特徴とするドライエッチング方法。

【請求項2】 前記シリコン化合物層が酸化シリコン層からなることを特徴とする請求項1記載のドライエッチング方法。

【請求項3】 前記エッチングは発光スペクトル観測における CO^+ のピーク強度の増減パターンにもとづいて進行状況をモニタしながら行い、前記ジャストエッチング工程は該ピーク強度の減少を n 回、これに続く増大を1回観測した後に終了し、前記オーバーエッチング工程は該ピーク強度の $(n+1)$ 回目の減少を観測した後に終了することを特徴とする請求項2記載のドライエッチング方法。

【請求項4】 前記オーバーエッチング工程の終了後に、被エッチング領域に堆積したイオウを加熱により昇華除去することを特徴とする請求項1ないし請求項3のいずれか1項に記載のドライエッチング方法。

【請求項5】 前記オーバーエッチング工程の終了後に、被エッチング領域に堆積したイオウをレジスト・アッシング工程においてレジスト・マスクと同時に燃焼除去することを特徴とする請求項1ないし請求項3のいずれか1項に記載のドライエッチング方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造分野等において適用されるドライエッチング方法に関し、特にいわゆる側壁コンタクト構造用の接続孔を形成する際に、この接続孔を形成するためのエッチングを円滑に進行させ、かつシリコン系の下地配線層に対して高い選択性を達成する方法に関する。

【0002】

【従来の技術】 半導体集積回路の高集積化のスピードは、ほぼ3年で2倍のペースを堅持しており、これに伴って微細加工技術に対する要求も厳しさを増している。

たとえば、将来の256MDRAMあるいは64MSRAMクラスの大容量メモリ素子では、最小加工線幅0.25 μm の加工精度が要求される。

【0003】 このような微細加工技術の開発と並行して、セル構造の工夫によるチップ面積の低減に関しても、多くの研究がなされている。かかるセル構造中では、ポリシリコン配線が3層、4層、あるいはこれ以上の層数に積層される多層配線構造が適用されるケースも珍しくはない。

10 【0004】 多層配線構造の初期には、配線層相互間の電氣的接続を図るために、隣り合う配線層の間で逐一接続孔を形成していた。つまり、配線層を1層形成すると、この上に層間絶縁膜を積層して接続孔を開口し、しかる後に次の配線層を積層していったわけである。その後、かかるプロセスの煩雑さを解消し、また接続孔数の削減によるセル面積の縮小ならびに集積度の向上を可能とするデバイス構造として、いわゆる側壁コンタクト（プラグ・イン配線）構造が提案されている。これは、配線層と層間絶縁膜を交互に複数回積層した積層膜に一括して接続孔を開口し、この接続孔に導電材料層（プラグ）を埋め込むことにより、接続孔の側壁面または底面に臨む複数の配線層間を相互接続する構造である。

20 【0005】 たとえば1990年IEEE International Electron Devices Meeting (IEDM 90) 論文集、p. 59～62には、SRAMの負荷素子となるCMOS-FETをバルクSi基板中に形成された下層nMOS-FETと再結晶化SOI膜に形成された上層pMOS-FETからなる2層構成とし、上層pMOS-FETのドレイン層を貫き下層nMOS-FETのドレイン領域に達する接続孔を開口してその内部をW（タングステン）プラグで埋め込むことにより、これら上下のFETのドレイン同士を接続した高密度デバイスが提案されている。

30 【0006】 また、IEDM 91論文集、p. 477～480には、記憶ノードに側壁コンタクトを適用したSRAMが報告されている。これは、負荷素子となるダブルゲート型pMOS-TFTをボトム・ゲート層（2層目ポリシリコン層）と、TFTチャネル兼電源線層（3層目ポリシリコン層）とを貫いてドライバ・トランジスタのゲート電極（1層目ポリシリコン層を含むポリサイド膜）に至る接続孔を開口し、その内壁面にpMOS-TFTのトップ・ゲート層（4層目ポリシリコン層）を被着させることにより、上下ゲート電極の接続、およびTFTチャネル兼電源線層とドライバ・トランジスタのゲート電極の接続を行ったものである。

【0007】

40 【発明が解決しようとする課題】 ところで、シリコン・デバイスにおける層間絶縁膜の構成材料としては、一般にシリコン化合物層、中でも酸化シリコン（ SiO_2 ；典型的には $x=2$ ）膜が広く用いられている。 SiO_2 、

層間絶縁膜に接続孔を開口するためのドライエッチングには、従来より CHF_3 、 CF_4/H_2 混合系、 CF_4/O_2 混合系、 $\text{C}_2\text{F}_6/\text{CHF}_3$ 混合系等、フルオロカーボン系化合物を組成の主体とするエッチング・ガスが用いられてきた。これは、(a)フルオロカーボン系化合物に含まれるC原子が SiO_2 層の表面で原子間結合エネルギーの大きいC-O結合を生成し、 Si-O 結合を切断したり弱めたりする働きがある、(b) SiO_2 層の主エッチング種である CF_x^+ (典型的には $x=3$)を生成できる、さらに(c)エッチング反応系のC/F比(C原子数とF原子数の比)を制御することにより炭素系ポリマーの堆積量を最適化し、レジスト・マスクや下地材料層に対して高選択性が達成できる、等の理由にもとづいている。

【0008】この場合の下地材料層とは、多くの場合、シリコン系材料層である。実際、上述の側壁コンタクト構造を有する大容量メモリ素子においても、下地材料層はバルク Si 基板(ドレイン領域)あるいはポリサイド膜(ドライバ・トランジスタのゲート電極)である。

【0009】しかし、上述のような側壁コンタクト構造において接続孔を開口しようとする場合には、膜厚方向の途中に SOI 膜やポリシリコン層等のシリコン系材料層が介在された SiO_2 層間絶縁膜をエッチングしなければならない。このことは、プロセス上の重大な矛盾を含んでいる。つまり、下地のシリコン系材料層に対して高選択比を確保しようとするれば、接続孔のエッチングは途中に介在されたシリコン系材料層が露出した時点で停止してしまい、逆に途中に介在されたシリコン系材料層をエッチングできる条件で接続孔を開口しようとするれば、下地のシリコン系材料層に対する選択比を確保することができないからである。

【0010】この問題を解決するひとつの方法として、 SiO_2 層間絶縁膜は酸化膜用エッチング装置で、またシリコン系材料層はポリシリコン用エッチング装置でそれぞれエッチングすることが考えられる。しかし、これでは各両エッチング装置間でウェハを幾度も往復させなければならない、その煩雑さを考慮すると側壁コンタクト構造の採用による工数削減のメリットが相殺されてしまう。

【0011】他の方法として、エッチング反応系のC/F比を下げることにより、途中に介在されたシリコン系材料層に対するエッチング速度を上昇させることが考えられる。これは、具体的にはフルオロカーボン系化合物を主体とするエッチング・ガスに SF_6 を添加して大量の F^+ を解離生成させたり、あるいは O_2 を添加してフルオロカーボン系化合物の解離を促進し F^+ 生成量を増大させることにより可能となる。しかし、これではレジスト・マスクに対する選択性が低下し、寸法変換差が増大したり、接続孔の側壁面に露出した部分からシリコン系材料層へサイドエッチが入ってしまう等の問題が生ず

る。さらに、接続孔の開口径が極めて小さくなると、接続孔内部におけるポリマーの堆積が促進されてエッチング速度が大幅に低下し、この対策そのものが有効性を失ってしまう。

【0012】そこで本発明は、シリコン化合物層とシリコン系材料層からなる積層膜の下地シリコン系材料層上におけるエッチングを、優れた選択性、エッチング速度、異方性、スルー putt等をもって行う方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明にかかるドライエッチング方法は、上述の目的を達成するために提案されるものであり、シリコン化合物層の膜厚方向の中途部にこのシリコン化合物層により相互に離間された n 層(ただし、 n は自然数を表す。)のシリコン系材料層が介在されてなる積層膜を、その下層側の下地シリコン系材料層に対して選択性を確保しながらエッチングする方法であって、 Si_2F_6 、 SF_6 、 SF_4 、 Si_2F_{10} から選ばれる少なくとも1種類のフッ化イオウとフルオロカーボン系化合物とを含むエッチング・ガスをを用い、被エッチング領域の少なくとも一部にイオウを堆積させながら、前記積層膜を実質的に前記下地シリコン系材料層が露出する直前までエッチングするジャストエッチング工程と、エッチング反応系におけるフッ素系化学種の生成比を前記ジャストエッチング工程におけるよりも相対的に減じた条件下で前記積層膜の残余部をエッチングするオーバーエッチング工程とを有するものである。

【0014】ここで、エッチング反応系におけるフッ素系化学種の生成比を表す指標としては、C原子数とF原子数の比を表すC/F比が良く知られている。このC/F比が大きければ、相対的に炭素系ポリマーの堆積が優勢となり、下地選択性をとり易くなるわけである。具体的には、エッチング・ガスに H^+ 、 Si^+ 等のように F^+ を捕捉する化学種を生成可能な化合物を添加したり、炭素系ポリマーの堆積性の高い化合物を添加したりすれば良い。

【0015】上記C/F比以外にも、たとえばS原子数とF原子数の比を表すS/F比の概念を導入することもできる。この場合も、 F^+ を捕捉する化学種を生成したりSの堆積を促進することができる化合物をエッチング・ガスに添加すれば良い。もちろん、C/F比とS/F比の上昇が同時に起こるようなガス組成を用いても良い。

【0016】本発明はまた、前記シリコン化合物層を酸化シリコン層とするものである。

【0017】本発明はまた、前記エッチングを発光スペクトル観測における CO^+ のピーク強度の増減パターンにもとづいてその進行状況をモニタしながら行い、前記ジャストエッチング工程を該ピーク強度の減少を n 回、これに続く増大を1回観測した後を終了し、前記オーバ

10

20

30

40

50

ーエッチング工程を該ピーク強度の $(n+1)$ 回目の減少を観測した後に終了するものである。

【0018】本発明はまた、前記オーバーエッチング工程の終了後に、被エッチング領域に堆積したイオウを加熱により昇華除去するものである。

【0019】本発明はさらに、前記オーバーエッチング工程の終了後に、被エッチング領域に堆積したイオウをレジスト・アッシング工程においてレジスト・マスクと同時に燃焼除去するものである。

【0020】

【作用】本発明の基本的な考え方は、中途部のシリコン系材料層が逐次露出した時点でもエッチング速度が実用レベルに維持され、かつ下地シリコン系材料層に対しては高選択性が達成されるよう、エッチング・プロセスを下地シリコン系材料層が露出する直前までのジャストエッチング工程とそれ以降のオーバーエッチング工程に分け、前者の工程においてエッチング反応系の C/F 比を相対的に低く、後者の工程において相対的に高く設定することである。

【0021】ジャストエッチング工程において C/F 比を低下させる手段としては、前述のごとくエッチング反応系の F^* 生成量を増大させるガス組成を採用する。ただし、 F^* の供給源として S_2F_2 、 SF_2 、 SF_4 、 S_2F_{10} から選ばれる少なくとも1種類のフッ化イオウを用いるところがポイントである。上記フッ化イオウは、本発明者が先に特開平4-84427号公報において SiO_2 系材料層のエッチング・ガスとして提案した化合物である。これらは、放電解離によりプラズマ中に F^* を生成できることはもちろんであるが、遊離の S （イオウ）を生成できる点を大きな特色としている。

【0022】 S は、昇華性物質である。したがって、エッチング中のウェハの温度が昇華点より低く維持されていれば、 S はウェハの表面に付着することができる。ここで、付着した部位がイオウの垂直入射が起こらないパターン側の側壁面等であれば、 S はそのまま堆積し続ける。これは側壁保護膜として寄与する。一方、イオン垂直入射面では、 S の付着とそのスパッタ除去とが競合する。したがって、レジスト・マスクやシリコン系材料層の表面等では、 S はこれらの材料層に対する選択性を高める働きをする。ただし、垂直入射面が SiO_2 系材料層である場合、ここに S が付着したとしても SiO_2 層から大量にスパッタ・アウトされる O 原子により直ちに燃焼除去される。したがって、 SiO_2 層のエッチングは S により何ら妨害されないわけである。

【0023】なお、フルオロカーボン系化合物に由来して生成する炭素系ポリマーによる保護機構も、上述の S とはほぼ同じである。

【0024】このように、本発明では SF_4 や O_2 のように単にエッチング反応系の F^* 生成量を増加させるだけの化合物を用いるのではなく、 F^* の増加と同時にイ

オン垂直入射面の表面保護やパターンの側壁保護に寄与する物質、すなわち S を供給できるフッ化イオウを用いる。このため、レジスト・マスクに対する選択性が向上し、寸法変換差の発生を抑制することができる。また、接続孔の内壁面が S の側壁保護膜で保護されるため、該内壁面にシリコン系材料層が露出していたとしても、ここからサイドエッチが入る虞れない。

【0025】続くオーバーエッチング工程では、 F^* の生成比を減少させる。これは、エッチング反応系の C/F を上昇させることに相当する。これにより、炭素系ポリマーの堆積促進、あるいはこれらの両方が起こり、下地シリコン系材料層に対して十分に大きな選択性を確保することができる。

【0026】ところで、本発明のようなエッチングでは適切な終点判定がエッチングの成否を決定する鍵となる。終点判定は、予め測定されたエッチング速度にもとづいてエッチング時間を管理することにより行うこともできるが、エッチング中のプラズマの発光スペクトルを*in situ*にモニタすることで、より正確な判定が可能となる。

【0027】本発明者は、 SiO_2 系材料層のエッチング中にのみ生成し、シリコン系材料層のエッチング中には生成しない化学種として、 CO^* に着目した。つまり、 CO^* のピーク強度は、 SiO_2 系材料層を表面に有する積層膜のエッチング開始時には高く、シリコン系材料層が露出すると減少し、その下の SiO_2 系材料層のエッチングが始まると再び増大する、といった増減を繰り返す。したがって、 n 層のシリコン系材料層が SiO_2 系材料層の中途部に介在されている場合には n 回のピーク強度の減少が観測される。この後、ピーク強度がさらにもう1回上昇すると、 n 層のシリコン系材料層のエッチングが全て終了し、最後の SiO_2 系材料層がエッチングされ始めたことがわかる。したがって、この時点あるいはここから若干の時間を経過した時点でジャストエッチング工程を終了すれば良い。

【0028】これ以降はオーバーエッチング工程であるが、下地シリコン系材料層の露出に伴う再度のピーク強度の減少、すなわち $(n+1)$ 回目の減少を観測した後に終点を判定すれば良い。

【0029】ところで、本発明では側壁保護やイオン垂直入射面の保護を行う炭素系ポリマーの一部を S で代替しているわけであるが、この S はオーバーエッチングを終了した後にウェハを加熱することにより昇華除去するか、あるいはレジスト・アッシング工程においてレジスト・マスクと同時に燃焼除去することができる。したがって、 S は何らパーティクル汚染の原因となるものではない。

【0030】

【実施例】以下、本発明の具体的な実施例について説明する。

【0031】実施例1

本実施例は、ダブルゲート型pMOS-TFTを負荷素子とするスプリット・ワードライン・セル型SRAMの記憶ノード・コンタクトを側壁コンタクト構造により達成するプロセス例である。具体的には、途中に3層目ポリシリコン層(3poly)と2層目ポリシリコン層(2poly)とを介在させたSiO₂層間絶縁膜を2段階エッチングにより開口し、これら両ポリシリコン層を貫通して1層目ポリシリコン層(1poly)を含むポリサイド膜に達する接続孔を形成した例である。このプロセスを、図1および図2を参照しながら説明する。

【0032】なお、かかる構成を有するSRAMは、前述のIEDM 91論文集、p. 477~480に報告されているものである。

【0033】まず、本実施例で取り扱うウェハを、図2(a)に示す。このウェハは、LOCOS法等により形成されたフィールド酸化膜2で規定されるシリコン基板1上の素子形成領域に、ドライバ・トランジスタのソース/ドレイン領域となる不純物拡散領域4、およびドライバ・トランジスタのゲート電極としてパターンニングされた1層目ポリサイド膜3を有し、さらにこの上にpMOS-TFTのボトム・ゲート形成用の2層目ポリシリコン層(2poly)6およびpMOS-TFTのチャネル層兼電源線としてパターンニングされた3層目ポリシリコン層(3poly)7が、各々SiO₂層間絶縁膜5を介して順次積層されたものである。

【0034】ここで、上記1層目ポリサイド膜3は、下層側の1層目ポリシリコン層(1poly)3aとタングステン・ポリサイド(WSi₂)層3bとがこの順に積層されたものである。なお、上記3層目ポリシリコン層(3poly)7は、OFF電流を低減しON電流を増大される目的で、アモルファス・シリコン層に替えても良い。

【0035】次に、上記SiO₂層間絶縁膜5を3層目ポリシリコン層7および2層目ポリシリコン層6と共にエッチングし、図2(b)に示されるような接続孔8を形成する。この接続孔8は、後工程で形成されるpMOS-TFTのトップ・ゲート[4層目ポリシリコン層(4poly)9]と上記ボトム・ゲート(2poly)との接続、並びにチャネル層兼電源線(3poly)とドライバ・トランジスタのゲート電極(1poly)を含む1層目ポリサイド膜3との接続を側壁面において一括して図るためのものである。この側壁コンタクトSWCについては、図2(c)を参照しながら後述する。

【0036】上記のエッチングの機構を、図1を参照しながら説明する。図1は図2の要部を拡大し、さらに若干の構成部分を描き加えたものである。

【0037】図1(a)は、上記エッチングのためのサンプル・ウェハである。すなわち、図2(a)に示した

ウェハ上に、エッチング・マスクであるレジスト・パターン13が形成されたものである。上記レジスト・パターン13には開口部14が設けられており、該開口部14の内部でエッチングが進行するわけである。また、図2において一括して示したSiO₂層間絶縁膜5は、実際には図1(a)に示されるように、隣接するポリシリコン層を互いに絶縁する目的でポリシリコン層を1層形成するたびにその表面を被覆するごとく形成されたものである。図示される時点では、上記SiO₂層間絶縁膜5は下層側から順に、1層目SiO₂層5a、2層目SiO₂層5b、3層目SiO₂層5cの3層から構成されている。

【0038】上記エッチングは、ジャストエッチングとオーバーエッチングの2工程により行った。まず、上記ウェハをRFバイアス印加型有磁場マイクロ波プラズマ・エッチング装置にセットし、一例として下記の条件でジャストエッチングを行った。

c-C ₄ F ₈ 流量	20	SCCM
S ₂ F ₂ 流量	30	SCCM
ガス圧	0.4	Pa
マイクロ波パワー	1200	W (2.45 GHz)
RFバイアス・パワー	300	W (800 kHz)
ウェハ載置電極温度	-50	℃ (アルコール系冷媒使用)

【0039】このジャストエッチングは、まず3層目SiO₂層5cのエッチングから始まる。この場合、c-C₄F₈およびS₂F₂の双方から解離生成するF⁺によるラジカル反応が、同じくこれらの化合物から解離生成するCF₃⁺、SF₃⁺等のイオンの入射エネルギーにアシストされる機構でエッチングが進行し、3層目SiO₂層5cはSiF₄、CO₂等の形で除去された。

【0040】また、S₂F₂からは遊離のS(図示せず)が解離生成し、レジスト・パターン13の表面でその堆積過程とスパッタ除去過程とを競合させることにより、該レジスト・パターンの13のエッチング速度の上昇を防いだ。さらに、パターンの側壁面に堆積したSは側壁保護膜(図示せず)を形成し、高異方性加工に寄与した。

【0041】なお、上記のSは、SiO₂層間絶縁膜5のエッチングを何ら阻害しない。それは、SiO₂系材料層の表面ではイオン・スパッタ作用によりO原子が放出され、Sが直ちに燃焼除去されるからである。

【0042】3層目SiO₂層5cが選択的に除去されると、図1(b)に示されるように、その下の3層目ポリシリコン層7のエッチングが始まる。ここで、従来の一般的なSiO₂エッチングの考え方にもとづいて仮にc-C₄F₈を単独で用い、シリコン系材料層に対して高選択比を保証する条件でエッチングを行っていたとす

ると、3層目ポリシリコン層7が露出したところでエッチングは停止してしまう筈である。

【0043】しかし、本実施例では S_2F_8 から供給される F^* により、3層目ポリシリコン層7が SiF_4 の形で速やかに除去される。ただし、このときの F^* の生成量は SF_6 等のガスを用いた場合ほど多くはなく、しかも S の堆積によりレジスト・パターン13の表面保護や接続孔内部の側壁保護が引き続き行われる。したがって、何らレジスト選択性や形状異方性が劣化することはない。

【0044】以下、2層目 SiO_2 層5b、2層目ポリシリコン層6、1層目 SiO_2 層5aのエッチングが同様に進行した。

【0045】ここで、上記エッチングの進行状況は、プラズマの発光スペクトルを $in situ$ にモニタすることにより把握した。ここで着目した発光ピークは、 CO^* に由来する波長519nmの発光ピークである。このピーク強度は、最初の3層目 SiO_2 層5cのエッチング中は大きい、その下の3層目ポリシリコン層7のエッチングが始まると減少し（1回目の減少）、2層目 SiO_2 層5bのエッチングが始まると再び増大し（1回目の増大）、2層目ポリシリコン層6のエッチングが始まると再び減少し（2回目の減少）、1層目 SiO_2 層5aのエッチングが始まると再び増大する（2回目の増大）。この2回目の増大が観測された時点、あるいはこの後にピーク強度が高く維持されている期間中にジャストエッチングを終了した。

【0046】次に、エッチング条件を一例として下記のように切り換え、1層目 SiO_2 層5aの残余部を除去するためのオーバーエッチングを行った。

CH_2F_2 流量	25	SCCM
CHF_3 流量	15	SCCM
ガス圧	0.4	Pa
マイクロ波パワー	1200	W (2.45 GHz)
RFバイアス・パワー	300	W (800 kHz)
ウェハ載置電極温度	-50	℃ (アルコール系冷媒使用)

【0047】上記 CH_2F_2 は炭素系ポリマーを堆積させ易い化合物である。これは、 CH_2F_2 から放出される H^* が、エッチング反応系内の F^* を捕捉し、 HF として除去することができるからである。つまり、上記オーバーエッチング時のエッチング反応系の C/F 比はジャストエッチング工程に比べて高い。これにより、図1(c)に示されるように、レジスト・パターン13と下地の1層目ポリサイド膜3に対する高選択性を維持しながら、異方性形状を有する接続孔8を形成することができた。この接続孔8の側壁面には3層目ポリシリコン層7と2層目ポリシリコン層6の断面が露出しているが、

上記側壁面は図示されない側壁保護膜により効果的に保護されているため、これらのポリシリコン層6、7に何らサイドエッチ等が入ることはなかった。

【0048】このオーバーエッチングは、ピーク強度の3回目の減少が観測された時点で終了した。この時点は、1層目ポリサイド膜3、正確には WSi 層3bが露出した時点に相当する。

【0049】接続孔8のエッチングが終了した後、上記ウェハをプラズマ・アッシング装置に搬送し、レジスト・パターン13を除去した。このとき、レジスト・パターン13の表面やパターン側壁面を被覆していた S や炭素系ポリマーも、同時に燃焼除去された。

【0050】これ以降のSRAMの製造プロセスは、従来と同様である。すなわち、図2(c)に示されるように、ウェハの全面に $pMOS-TFT$ のトップ・ゲートとなる4層目ポリシリコン層(4poly)9を形成し、これをパターンニングした。この4層目ポリシリコン層9により、接続孔8の側壁面において側壁コンタクトSWCが達成され、 $pMOS-TFT$ のトップ・ゲート(4poly)とボトム・ゲート(2poly)の相互接続、および記憶ノード・コンタクト、すなわち TFT チャネル兼電源線(3poly)とドライバ・トランジスタのゲート電極(1polyを含む1層目ポリサイド膜)の相互接続をそれぞれ行うことができた。

【0051】さらに、4層目ポリシリコン層9を SiO_2 層間絶縁膜5で被覆した後、ドライバ・トランジスタのソース/ドレイン領域、すなわち不純物拡散領域4に臨む接続孔10を開口し、ウェハの全面に接地線としてシート抵抗の低い2層目ポリサイド膜11を被着した。この2層目ポリサイド膜11は、5層目ポリシリコン層(5poly)11aと WSi 層11bとが順次積層されたものである。この2層目ポリサイド膜11が、接続孔10内部で接地コンタクトをとるわけである。ウェハの全面は、 SiO_2 層間絶縁膜12を用いて平坦化した。

【0052】この後、上記 SiO_2 層間絶縁膜12上に Al 系材料層を用いてビット線(図示せず。)を形成し、さらに別の SiO_2 層間絶縁膜(図示せず。)を介してワード線(図示せず。)を形成し、SRAMを完成した。

【0053】実施例2

本実施例では、同様のSRAMの製造プロセスにおいて、接続孔8を開口するためのジャストエッチングを CHF_3/S_2F_8 混合ガス、オーバーエッチングを CH_2F_2/CO 混合ガスを用いて行った例である。まず、図1(a)に示すウェハをマグネトロン RIE (反応性イオン・エッチング)装置にセットし、一例として下記の条件でジャストエッチングを行った。

【0054】	CHF_3 流量	10	SCCM
--------	------------	----	------

S₂F₂流量 40 SCCM
 ガス圧 1.3 Pa
 RFパワー 1 kW (13.56 MHz)
 ウェハ載置電極温度 -50 °C (アルコール系冷媒使用)

上記エッチングは、ほぼ実施例1で上述した機構にしたがって進行し、異方性形状を有する接続孔8が大部分形成された。ジャストエッチングの終点判定も、実施例1と同様に行い、1層目SiO₂膜5aを若干残した時点でエッチングを終了した。

【0055】次に、エッチング条件を一例として以下のように切り換え、1層目SiO₂膜5aの残余部を除去するためのオーバーエッチングを行った。

CHF₃流量 20 SCCM
 CO流量 80 SCCM
 ガス圧 1.3 Pa
 RFパワー 1 kW (13.56 MHz)
 ウェハ載置電極温度 -50 °C (アルコール系冷媒使用)

このオーバーエッチング工程では、CO*がF*を捕捉し、COF (フッ化カルボニル) の形でこれを除去する。したがって、炭素系ポリマーの堆積が促進され、下地の1層目ポリサイド膜3に対して高選択比をとりながら接続孔8を完成することができた。

【0056】以上、本発明を2種類の実施例にもとづいて説明したが、本発明はこれらの実施例に何ら限定されるものではない。上述の各実施例では、フッ化イオウとしてS₂F₂を用いたが、本発明で限定される他の3種類のフッ化イオウを用いても、基本的に同様の結果が得られる。

【0057】オーバーエッチング時にF*の生成比を減ずる手段として、上述の実施例1および実施例2ではCH₂F₂添加およびCO添加をそれぞれ行ったが、他にも次のような方法が可能である。そのひとつは、実施例1で述べたようなフルオロカーボン系化合物とフッ化イオウの混合系に、H*、Si*等のようにF*を捕捉できる化学種を発生させることが可能な化合物を添加する方法である。かかる化合物としては、H₂、H₂S、SiH₄等を用いることができる。

【0058】あるいは、オーバーエッチングにフルオロカーボン系化合物を用いず、フッ化イオウ単独もしくはこれにH₂、H₂S、SiH₄等を添加したガス系を用いることができる。シリコン化合物層は上述のSiO₂層間絶縁膜に限られず、PSG、BSG、BPSG、AsSG、AsPSG、AsBSG、あるいはSiN等であっても良い。

【0059】この他、サンプル・ウェハの構成、使用するエッチング装置、エッチング条件等が適宜変更可能で

あることは、言うまでもない。

【0060】

【発明の効果】以上の説明からも明らかなように、本発明によればシリコン化合物層の間にシリコン系材料層が介在された形の積層膜を、下地のシリコン系材料層に対して高選択比を維持しながら異方的にエッチングすることができる。したがって、本発明はたとえば側壁コンタクト構造によりセル面積の縮小を図ろうとする半導体メモリ素子等の製造において極めて有効であり、その微細化、高集積化に多大な貢献をなすものである。

【図面の簡単な説明】

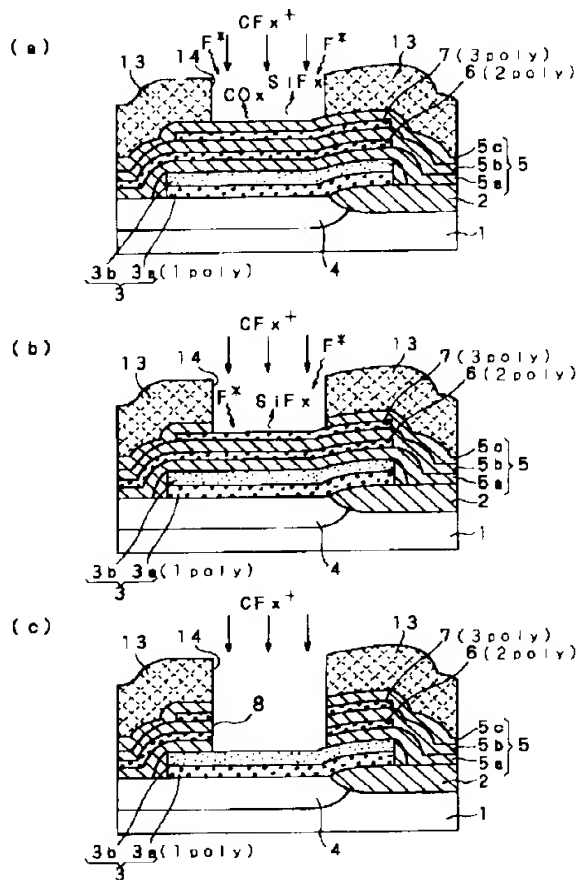
【図1】本発明のドライエッチング方法におけるエッチング機構をその進行状況にしたがって説明するための模式的断面図であり、(a)は3層目SiO₂膜のエッチングが開始された状態、(b)は3層目ポリシリコン層のエッチングが開始された状態、(c)は下地の1層目ポリサイド膜に対して選択比をとりながら接続孔が完成された状態をそれぞれ表す。

【図2】図1の構造部分を含むSRAMの側壁コンタクト構造の形成プロセスをその工程順にしたがって説明する模式的断面図であり、(a)はドライバ・トランジスタのポリサイド・ゲート電極、pMOS-TFTのボトム・ゲートおよびチャネル層兼電源線を構成する各ポリシリコン層が各々SiO₂層間絶縁膜に被覆された状態、(b)は上記ポリサイド・ゲート電極に臨む接続孔が開口された状態、(c)はpMOS-TFTのトップ・ゲートを構成するポリシリコン層により側壁コンタクトが達成され、さらに接地線の形成と平坦化が行われた状態をそれぞれ表す。

【符号の説明】

- 3 …… 1層目ポリサイド膜
- 3a …… 1層目ポリシリコン層 (1 pol y)
- 3b, 11b …… WSi₂層
- 5 …… SiO₂層間絶縁膜
- 5a …… 1層目SiO₂層
- 5b …… 2層目SiO₂層
- 5c …… 3層目SiO₂層
- 6 …… 2層目ポリシリコン層 (2 pol y)
- 7 …… 3層目ポリシリコン層 (3 pol y)
- 8, 10 …… 接続孔
- 9 …… 4層目ポリシリコン層 (4 pol y)
- 11 …… 2層目ポリサイド膜
- 11a …… 5層目ポリシリコン層 (5 pol y)
- 13 …… レジスト・パターン
- SWC …… 側壁コンタクト

【図1】



【図2】

